

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048886

(43)Date of publication of application : 26.02.1993

(51)Int.Cl.

H04N 1/40
 B41J 2/525
 G03G 15/01
 G03G 15/01
 H04N 1/46

(21)Application number : 03-206003

(71)Applicant : KONICA CORP

(22)Date of filing : 16.08.1991

(72)Inventor : SUGAYA TOYOAKI
 HIRAMOTO KENICHIRO

(54) DATA CONVERTER

(57)Abstract:

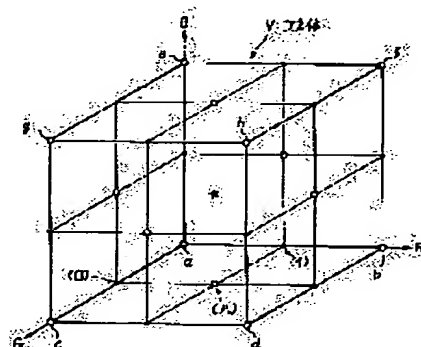
PURPOSE: To reduce a circuit scale by interpolating a

necessary output value by a simple average value operation.

CONSTITUTION: When a three-dimensional space constituted of input values (r, g, b) is turned to a cube in which the length of one side is the dimension which is two times as long as the quantized units of the input values, the converted output values (y, m, c) of the input values corresponding to each vertex are divided and stored in a single or 8 pieces of ROM.

At the time of an interpolating processing, when the point on the three-dimensional space corresponding to the input value is on the side of the cube, the two before-and-behind converted output values interposing the point are averaged

and interpolated. When the point is on the face of the cube, the converted output values of the four vertexes of the face including the point are averaged and interpolated. When the point is in the cube, the converted output values of the eight vertexes of the cube including the point are averaged and interpolated. The interpolating processing can be operated also by using only the two converted output values interposing the input value regardless of the interpolating place. Thus, the entire output values can be interpolated and outputted by the simple average value interpolating processing, and the interpolation operating means can be sharply simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-48886

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.⁵

H 0 4 N 1/40
B 4 1 J 2/525
G 0 3 G 15/01

識別記号

庁内整理番号

D 9068-5C
S 7818-2H
1 1 2 A 7818-2H
7339-2C

F I

技術表示箇所

B 4 1 J 3/ 00

B

審査請求 未請求 請求項の数 2(全 16 頁) 最終頁に続く

(21)出願番号 特願平3-206003

(22)出願日 平成3年(1991)8月16日

(71)出願人 000001270

コニカ株式会社

東京都新宿区西新宿1丁目26番2号

(72)発明者 菅谷 豊明

東京都八王子市石川町2970番地 コニカ株式会社内

(72)発明者 平本 健一郎

東京都八王子市石川町2970番地 コニカ株式会社内

(74)代理人 弁理士 山口 邦夫 (外1名)

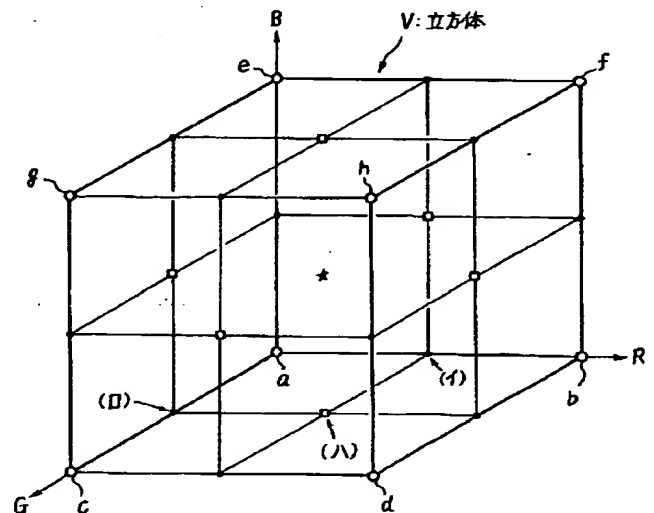
(54)【発明の名称】 データ変換装置

(57)【要約】

【目的】単純な平均値演算で必要な出力値を補間して回路規模を縮小する。

【構成】単一若しくは8個のROMに夫々、入力値(r, g, b)によって構成される3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体としたときの各頂点に対応する入力値の変換出力値(y, m, c)が分割格納される。補間処理は入力値に対応する3次元空間上の点が立方体の边上(●)にあるときはその点を挟んだ前後2つの変換出力値を平均化して補間し、立方体の面上(□)にあるときはその点を含む面の4個の頂点の変換出力値を平均化して補間し、立方体の内部(★)にあるときはその点を含む立方体の8個の頂点の変換出力値を平均化して補間する。補間場所に拘らず、入力値を挟んだ2個の変換出力値だけを用いて補間することもできる。これによれば、単純な平均値補間処理で全ての出力値を補間して出力でき、補間演算手段を大幅に簡略化できる。

立方体(変換出力値)と補間との関係



○ テーブルを持つ点

【特許請求の範囲】

【請求項1】 3次元の入力値を所定の変換規則にしたがって変換し、これを出力するデータ変換装置において、

入力値が構成する3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体に分割し、その立方体の頂点に対応する入力値の変換出力値を複数組の入力値に対して格納したメモリ手段と、

このメモリ手段から読み出した最大8個の変換出力値の平均値を算出する演算手段を具備し、

1組の入力値に対応する3次元空間上の点が上記立方体の内部にあるときはその点を含む立方体の頂点に対応する8個の変換出力値を上記メモリ手段から読み出し、上記1組の入力値に対応する3次元空間上の点が上記立方体の面上にあるときはその点を含む立方体面の頂点に対応する4個の変換出力値を上記メモリ手段から読み出し、

上記1組の入力値に対応する3次元空間上の点が上記立方体の辺上にあるときはその点を含む立方体辺の両端の頂点に対応する2個の変換出力値を上記メモリ手段から読み出し、

上記1組の入力値に対応する3次元空間上の点が上記立方体の頂点に相当するときにはその頂点に対応する1個の変換出力値を上記メモリ手段から読み出し、読み出した8ないし4、2、1個の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力するようにしたことを特徴とするデータ変換装置。

【請求項2】 3次元の入力値を所定の変換規則にしたがって変換し、これを出力するデータ変換装置において、

入力値によって構成される3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体に分割し、その立方体の頂点に対応する入力値変換出力値を格納したメモリ手段と、

このメモリ手段から読み出した最大2個の変換出力値の平均値を算出する演算手段を具備し、

1組の入力値に対応する3次元空間上の点が上記立方体の内部にあるときはその点を含む立方体の8頂点のうち入力値に対応する点を挟んで互いに対向する何れか2点の変換出力値を上記メモリ手段から読み出し、読み出した2個の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力し、

上記1組の入力値に対応する3次元空間上の点が上記立方体の面上にあるときはその点を含む立方体面の4頂点のうち入力値に対応する点を挟んで互いに対向する何れか2点の変換出力値を上記メモリ手段から読み出し、読み出した2個の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力し、

上記1組の入力値に対応する3次元空間上の点が上記立

方体の辺上にあるときはその点を含む立方体辺の両端の2点の変換出力値を上記メモリ手段から読み出し、読み出した2個の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力し、

上記1組の入力値に対応する3次元空間上の点が上記立方体の頂点に相当するときにはその頂点に対応する1個の変換出力値を上記メモリ手段から読み出し、読み出した変換出力値を出力値として出力するようにしたことを特徴とするデータ変換装置。

10 【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、カラープリンタ、カラー画像表示装置、カラスキャナー、カラー複写機、カラー画像処理装置などの色補正系に適用して好適なデータ変換装置に関する。

【0002】

【発明の背景】カラープリンタ、カラー画像表示装置、カラスキャナー、カラー複写機、カラー画像処理装置などのカラー画像入出力機やカラー画像処理機分野では、好ましい色を再現するために、R、G、B若しくはY、M、Cなどの入力画像データに対して所定の補正を加えて出力する必要がある。

【0003】このようなR、G、B若しくはY、M、Cの入力値（入力画像データ）の全ての組み合わせに対して補正された出力値をテーブルとして持つことが最良の色を再現する上で最も好ましい。しかし、そうするためには全ての出力値をROMなどのメモリ手段に格納する必要があるが、ROMテーブルのメモリ容量が膨大な量になってしまう。

30 【0004】そのため、従来では入力値に対する出力値を全ての入力値に対して持つのではなく、飛び飛びの入力値に対してのみ持ち、その間の点における出力値については補間演算により算出しようとするデータ変換技術が提案されている（特開昭63-162248号公報、特公昭58-16180号公報など）。

【0005】

【発明が解決しようとする課題】これら従来のデータ変換技術によれば、入力値のデータビット幅が大きい場合でもメモリ容量を小さく抑えることができるので、メモリ素子のコストダウンを図れる他、非線形の変換処理も少ない誤差で実現できるなどのメリットがある。

【0006】しかし、これらの従来例による場合には入力値のデータビット幅が比較的小さい場合、例えば、6～8ビット程度の場合には、メモリ容量の節減によるコストダウン効果よりも、積和处理などの補間演算を行なって出力値を算出する補間演算手段を設けることによるコストアップや処理速度の低下などのデメリットの方が大きくなってしまふ。

50 【0007】そこで、この発明ではこのような従来の課題を解決したものであって、特に回路規模の増大を招く

ことなく、単なる平均値演算によって補間値を算出できるようにしたデータ変換装置を提案するものである。

【0008】

【課題を解決するための手段】上述の課題を解決するため、第1の発明においては、3次元の入力値を所定の変換規則にしたがって変換し、これを出力するデータ変換装置において、入力値が構成する3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体に分割し、その立方体の頂点に対応する変換出力値を複数組の入力値に対して格納したメモリ手段と、このメモリ手段から読み出した最大8個の変換出力値の平均値を算出する演算手段を具備し、1組の入力値に対応する3次元空間上の点が上記立方体の内部にあるときはその点を含む立方体の頂点に対応する8個の変換出力値を上記メモリ手段から読み出し、上記1組の入力値に対応する3次元空間上の点が上記立方体の面上にあるときはその点を含む立方体面の頂点に対応する4個の変換出力値を上記メモリ手段から読み出し、上記1組の入力値に対応する3次元空間上の点が上記立方体の辺上にあるときはその点を含む立方体辺の両端の頂点に対応する2個の変換出力値を上記メモリ手段から読み出し、上記1組の入力値に対応する3次元空間上の点が上記立方体の頂点に相当するときにはその頂点に対応する1個の変換出力値を上記メモリ手段から読み出し、読み出した8ないし4、2、1個の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力するようにしたことを特徴とするものである。

【0009】第2の発明はその補間演算処理をさらに簡略化するための手段であって、3次元の入力値を所定の変換規則にしたがって変換し、これを出力するデータ変換装置において、入力値によって構成される3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体に分割し、その立方体の頂点に対応する変換出力値を格納したメモリ手段と、このメモリ手段から読み出した最大2個の変換出力値の平均値を算出する演算手段を具備し、1組の入力値に対応する3次元空間上の点が上記立方体の内部にあるときはその点を含む立方体の8頂点のうち入力値に対応する点を挟んで互いに対向する何れか2点の変換出力値を上記メモリ手段から読み出し、読み出した2個の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力し、上記1組の入力値に対応する3次元空間上の点が上記立方体の面上にあるときはその点を含む立方体面の4頂点のうち入力値に対応する点を挟んで互いに対向する何れか2点の変換出力値を上記メモリ手段から読み出し、読み出した2個の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力し、上記1組の入力値に対応する3次元空間上の点が上記立方体の辺上にあるときはその点を含む立方体辺の両端の2点の変換出力値を上記メモリ手段から読み出し、読み出した2個

の変換出力値の平均値を上記演算手段により算出し、その算出値を出力値として出力し、上記1組の入力値に対応する3次元空間上の点が上記立方体の頂点に相当するときにはその頂点に対応する1個の変換出力値を上記メモリ手段から読み出し、読み出した変換出力値を出力値として出力するようにしたことを特徴とするものである。

【0010】

【作用】図1に示す実施例では、8個のROM1～ROM8にそれぞれ、入力値によって構成される3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体としたときの各頂点に対応する変換出力値が分割格納されている。

【0011】補間処理は入力値に対応する3次元空間上の点が立方体の辺上にあるときはその点を挟んだ前後2つの変換出力値を平均化して補間し、立方体の面上にあるときはその点を含む面の4個の頂点の変換出力値を平均化して補間し、そして立方体の内部にあるときはその点を含む立方体の8個の頂点の変換出力値を平均化して補間する。

【0012】したがって、入力信号R、G、Bの各入力値(r、g、b)の組み合わせによってどのROMを選択するかが相違し、選択された変換出力値は後段の加算器65～73において加算処理がなされ、その平均値をとることによって補間処理された出力値が得られる。除算処理はビットシフト若しくはワイヤードロジックによって行なうので、結局のところ補間処理は単なる加算処理で済む。

【0013】図1の例は、入力値の対応する3次元空間上の点が立方体のどこにあるかによって変換出力値の使用個数を選択したが、常に2個の変換出力値を用いて補間することもできる。その例が、図10であり、図12である。

【0014】そのときは、入力値の対応する3次元空間上の点を挟む2点の変換出力値で補間する。つまり、入力値に対応する3次元空間上の点が立方体の辺上にあるときでも、立方体の面上にあるときでも、あるいは立方体の内部にあるときでも、その点を挟んだ2点を使用して補間する。例えば入力値を含む立方体の原点に最も近い頂点の変換出力値と、その点を基準にして原点とは反対側にある頂点の変換出力値を用いて補間される。

【0015】このような2点補間のため、例えば図10のように原点に対応する変換出力値がROM85から読み出され、次に補間点を挟んだ原点とは反対側の頂点における変換出力値がROM85から読み出される。補間点を挟んだ原点とは反対側の頂点をアドレスとして指定するため、インクリメント81、82、83が設けられている。

【0016】

【実施例】続いて、この発明に係るデータ変換装置の一

例を上記したカラー複写機に適用した場合につき、図面を参照して詳細に説明する。

【0017】説明の都合上、この発明の概要から説明する。

【0018】この発明では図3に示すように量子化単位の2倍の寸法を1辺とする立方体の各頂点におけるデータ(y, m, c)が変換出力値(補間された出力値)としてメモリ手段例えばROMに格納されている。8つの変換出力値のうち適当な変換出力値を用いて補間処理が行なわれる。

【0019】すなわち、1組の入力値(r, g, b)に*

$$f(r+1, g, b) = \{f(r, g, b) + f(r+2, g, b)\} / 2$$

ここに、f(r, g, b)は頂点aの変換出力値であり、f(r+2, g, b)は頂点bの変換出力値である。

【0021】G軸上の点(ロ)は、同じG軸上に存在する頂点aとcの変換出力値の平均をとって補間する。このように、図中●印で示した補間点は何れも立方体Vの辺上にあるので、隣接した前後する2個の変換出力値で平均値補間される。

$$f(r+1, g+1, b)$$

$$= \{f(r, g, b) + f(r+2, g, b)$$

$$+ f(r, g+2, b) + f(r+2, g+2, b)\} / 4$$

ここに、f(r+2, g+2, b)は頂点dの変換出力値である。

【0023】G軸とB軸とで囲まれる面上に存在する点、あるいはR軸とB軸とで囲まれる面上に存在する点も同様にしてそれらの面上に存在する4個の頂点の変換出力値によって平均値補間できる。

$$f(r+1, g+1, b+1)$$

$$= \{f(r, g, b) + f(r+2, g, b)$$

$$+ f(r, g+2, b) + f(r, g, b+2)$$

$$+ f(r+2, g+2, b) + f(r+2, g, b+2)$$

$$+ f(r, g+2, b+2) + f(r+2, g+2, b+2)\} / 8$$

ここに、f(r, g, b+2)はe点の変換出力値であり、f(r, g+2, b+2)はg点の変換出力値であり、f(r+2, g, b+2)はf点の変換出力値であり、そしてf(r+2, g+2, b+2)はh点の変換出力値である。

【0025】1/2、1/4あるいは1/8などの除算処理はビットシフトあるいはワイヤーロジック(下位ビットの切捨て)によって達成できる。したがって、量子化単位の2倍の寸法を1辺とする立方体を基準に変換出力値を格納すれば、残りの点は何れも簡単な加算演算処理によって補間できる。

【0026】また、このように変換出力値を格納した場合には、量子化単位寸法の1辺とする立方体を基準に変換出力値を格納する場合、すなわち全ての入力値の組み合わせに対する変換出力をメモリに格納する場合よりもそのメモリ容量を1/8(2の3乗)に削減できる。

* 対応する3次元空間上の点が立方体Vの頂点(○印)に相当するときには、その頂点に対応する変換出力値そのものをROMから読み出す。

【0020】1組の入力値(r, g, b)に対応する3次元空間上の点が立方体Vの辺上にあるときは、その点(●印)を含む立方体辺の両端の頂点に対応する変換出力値をROMから読み出す。例えば、図3に示すように、R軸上の点(イ)を補間するにはR軸上に存在する頂点aとbの変換出力値(既知データ)の平均を取って補間する。つまり、補間された出力値f(r+1, g, b)は、

※【0022】入力値(r, g, b)に対応する3次元空間上の点が立方体Vの面上にあるときは、その点(□印)を含む立方体面の頂点に対応する4個の変換出力値をROMから読み出して補間する。例えば、R軸とG軸とで形成される面上の点(ハ)は、同じ面上に存在する4個の頂点a, b, c, dの変換出力値によって補間される。つまり、補間された出力値f(r+1, g+1, b)は、

★【0024】最後に、入力値(r, g, b)に対応する3次元空間上の点が立方体Vの内部にあるときはその点(★印)を含む立方体の頂点a~hに対応する8個の変換出力値をROMから読み出しこれを平均値補間すればよい。したがって、補間された変換出力値f(r+1, g+1, b+1)は、

【0027】補間すべき点が立方体Vの辺上、面上、内部の何れにあるかを判定するには、1組の入力値(r, g, b)の奇数、偶数の組み合わせを見ればよい。

【0028】例えば、図3の原点の頂点aは入力値(r, g, b)の何れもが偶数であり、R軸上の点(ア)は入力値rのみ奇数であるから、入力値(r, g, b)の奇数、偶数と各点との関係を整理すると、図4のようになる。したがって、入力値(r, g, b)の奇数、偶数を判別するだけでその補間点が立方体Vの辺上にあるのか、面上にあるのか、あるいはまた内部にあるのかを簡単に判別できることになる。

【0029】さて、上述した変換出力値である補間変換出力値は全て1個のROMに格納されていることを前提に述べたが、このROMに格納されている変換出力値のある規則にしたがって別々のROMに格納し、それらの変換出力値を同時並列的に読み出して補間処理できれ

ば、補間処理速度を速めることができることは明らかである。

【0030】そのような場合の分割格納の一例を次に述べる。

【0031】この発明では、上述したように入力値 (r, g, b) が構成する3次元空間を入力値の量子化単位の2倍の寸法を1辺とする立方体に分割しているの
で、変換出力値 (y, m, c) は入力値 r, g, b が偶数の点に対応した変換出力値のみ格納されている。今、この入力値を r, g, b それぞれ4で割った余りを基準
にすればROMに格納されている変換出力値の全ては、
図5に示すように8種類に分類できる。

【0032】図5において、「0」は4で入力値を割ったときの余りが零の場合を示し、「2」は余りが2の場合を示す。このように (r, g, b) の各入力値の余りが全てに対して零となる値に対する変換出力値は全て同一のROM (ROM1とする) に格納される。同じように、 r のみその余りが「2」となる組み合わせを持った入力値に対する変換出力値はROM2に格納される。

【0033】そこで、8個のROMを用意し、それぞれに図5に示すような変換出力値を当てがう。そのときのROMと立方体との位置関係は図6に示すようになる。図中の○付き数字は図5のROM番号と対応している。

【0034】こうすれば、変換出力値の全てを8個のROMに分散して格納することができると共に、補間処理時には同一の入力値に対して同一のROMが重複してアクセスされることはない。

【0035】ここで、ROM1~ROM8のアドレスと*

- メモ' 1. $f(4r, 4g, 4b) = R1(r, g, b)$
- メモ' 2. $f(4r+1, 4g, 4b) = \{R1(r, g, b) + R2(r, g, b)\} / 2$
- メモ' 3. $f(4r+2, 4g, 4b) = R2(r, g, b)$
- メモ' 4. $f(4r+3, 4g, 4b) = \{R1(r+1, g, b) + R2(r, g, b)\} / 2$
- メモ' 5. $f(4r, 4g+1, 4b) = \{R1(r, g, b) + R3(r, g, b)\} / 2$
- メモ' 6. $f(4r+1, 4g+1, 4b) = \{R1(r, g, b) + R2(r, g, b) + R3(r, g, b) + R4(r, g, b)\} / 4$
- メモ' 7. $f(4r+2, 4g+1, 4b) = \{R2(r, g, b) + R4(r, g, b)\} / 2$
- メモ' 8. $f(4r+3, 4g+1, 4b) = \{R1(r+1, g, b) + R2(r, g, b) + R3(r+1, g, b) + R4(r, g, b)\} / 4$
- メモ' 9. $f(4r, 4g+2, 4b) = R3(r, g, b)$
- メモ' 10. $f(4r+1, 4g+2, 4b) = \{R3(r, g, b) + R4(r, g, b)\} / 2$

上式のいくつかについて簡単に説明すると、図6からも明らかなように、

(1) 入力値 $(4r, 4g, 4b)$ に対する色補正值 f は、入力値 (r, g, b) をアドレスとして指定したときのROM1の出力値(変換出力値)である。

(2) 入力値 $(4r+1, 4g, 4b)$ に対する色補正值 f は、入力値 (r, g, b) をアドレスとして指定したときのROM1およびROM2の出力値の平均値である。

(3) 入力値 $(4r+2, 4g, 4b)$ に対する色補正值 f は、入力値 (r, g, b) をアドレスとして指定したときのROM2の出力値である。

* (y, m, c) の変換出力値との関係を示すと、次のような関連式が得られる。

- ROM1...R1 $(r, g, b) = f(4r, 4g, 4b)$
- ROM2...R2 $(r, g, b) = f(4r+2, 4g, 4b)$
- ROM3...R3 $(r, g, b) = f(4r, 4g+2, 4b)$
- ROM4...R4 $(r, g, b) = f(4r+2, 4g+2, 4b)$
- ROM5...R5 $(r, g, b) = f(4r, 4g, 4b+2)$
- ROM6...R6 $(r, g, b) = f(4r+2, 4g, 4b+2)$
- ROM7...R7 $(r, g, b) = f(4r, 4g+2, 4b+2)$
- ROM8...R8 $(r, g, b) = f(4r+2, 4g+2, 4b+2)$

ここに、上式の左辺は入力値 (r, g, b) をアドレスとしたときの出力値を示し、右辺は (r', g', b') を入力値としたときのこの入力値 (r', g', b') に対する色補正值を示す $(r' = 4r$ または $r' = 4r+2, g' = 4g$ または $g' = 4g+2, b' = 4b$ または $b' = 4b+2)$ 。

【0036】したがって、補間演算処理は次のようになる。補間演算式の一部のみ示す。モード i ($i = 1 \sim 8$) は補間モード i を意味する。

【0037】

(4) 入力値 $(4r+3, 4g, 4b)$ に対する色補正值 f は、入力値 (r, g, b) をアドレスとして指定したときのROM2と、入力値 $(r+1, g, b)$ をアドレスとして指定したときのROM1の出力値である。

【0038】ここで、ROM1に対しては、 r に関して1だけインクリメントした値を用いているが、これは図6からも明らかなように、 r 軸上の点は $(4r+3)$ である。そのため、 $(4r+4)$ の点のROM1の出力値を変換出力値として使用しなければならないが、この場合、同じROM1でも値の異なる出力値をアドレスする必要があるために、 r の値が1だけインクリメントされている。

(5) 入力値 ($4r+1$, $4g+1$, $4b$) に対する色補正值 f は、入力値 (r , g , b) をアドレスとして指定したときのROM1からROM4までの各出力値の平均値である。

【0039】このように入力値 (r , g , b) の奇数、偶数の組み合わせに応じて、8組のROM1～ROM8に変換出力値をそれぞれ分散格納することによって、対応する単一あるいは複数のROMの同時並列読み出しが可能になる。これによって補間処理の並列処理を実行できる。以下、上述したと同様な補間演算処理によって残り

【0040】続いて、この発明の具体例を説明する。説明の都合上、この発明を適用したカラー複写機から図7を参照して説明する。

【0041】同図において、10はスキャナ部であって、11は原稿台、12は光源、13は反射ミラー、14は光学結像系（レンズなど）である。15は光電変換素子で、この例ではCCDを示す。カラー原稿を光学的にスキャンすることによって得られる光学像はCCD15によって電気信号 (R , G , B のカラー撮像信号) に

【0042】16はプリンタ部である。このプリンタ部16にあって、20は導電性基板上に光導電層を設けた感光体（ドラム）である。21はコロナ帯電器、26は像露光装置（半導体レーザ装置など）、Lは像露光装置26より照射されるレーザ光である。

【0043】A、B、CおよびDはそれぞれY（イエロー）、M（マゼンタ）、C（シアン）およびK（黒）のトナーを有する現像装置、31は定着器、32は転写前露光ランプ、33は転写電極、34は分離電極、Pは転写紙、35はクリーニング用除電電極である。また、36はクリーニング装置であり、クリーニングブレード36a、パイアスローラ36bおよびクリーニングローラ36cを有する。

【0044】感光体1はコロナ帯電器21により表面が一様に帯電される。続いて像露光装置26からイエローの画像変換出力値に従ったレーザ光Lが感光体1上に照射されて、感光体1上に潜像が形成される。この潜像はイエロートナーを有する現像装置Aによって現像される。これにより、感光体1上にイエローのトナー像が形成される。

【0045】イエローのトナー像が形成された感光体1はコロナ帯電器21により表面が一様に帯電される。続いて、像露光装置26からマゼンタの画像変換出力値に従ったレーザ光Lが感光体1上に照射されて、感光体1上に潜像が形成される。この潜像はマゼンタトナーを有する現像装置Bによって現像される。これにより、感光体1上にはイエロートナー像とマゼンタトナー像とが重ねて形成される。

【0046】以下、同様にして感光体1上にはシアン

ナー像、黒トナー像が順次重ねて形成される。これにより、感光体1上にはカラートナー像が形成される。

【0047】このようにして形成されたカラートナー像は、露光ランプ32で除電されて転写され易くされたのち、転写電極33によって記録紙Pに転写される。記録紙Pは分離電極34により感光体1から分離され、定着器31で定着される。感光体1は除電電極35とクリーニング装置36により清掃される。

【0048】図8は、カラー複写機において使用されるカラー画像形成装置におけるカラー画像処理系40の具体例である。

【0049】R、G、B3色に色分解された原稿の色分解像がCCD15R、15G、15Bに光信号として入力し、その信号に応じたR、G、Bのアナログ撮像信号が出力される。R、G、Bアナログ撮像信号はA/D変換器41R～41BにおいてA/D変換されてデジタル撮像信号となされ、これがシェーディング補正回路42R～42BでCCD画素間感度のばらつきと光学系の光量ムラのそれぞれについて補正される。さらに、階調変換回路43R～43BでCCDの感度特性などが補正される。このとき全体制御部55からの信号に基づき、階調特性や濃度などを調節することができる。

【0050】以上のような信号処理が施されたR、G、Bのデジタル撮像信号はデータ変換装置60でY、M、Cいずれかの信号に変換される。Y、M、Cのいずれにするかはプリンタ部16の作像プロセスに合わせて制御される。その指示はマイコンを内蔵した全体制御部55からなされる。56は走査パネルを示す。

【0051】データ変換装置60の役割は、スキャナ光源色やCCDの分光感度特性、カラートナーの分光特性等を補正し、原稿に忠実な色もしくは好ましい色をプリント出力上に再現するために設けられている。

【0052】データ変換装置60からの出力信号（画像変換出力値）はエッジ強調回路50においてエッジ強調された後、階調変換部51でプリントプロセス特性に応じた階調補正がなされ、次に像露光装置26の一部であるPWM（パワー幅変調）部52で画像データに応じた半導体レーザ54に対する点灯時間が制御される。PWM変調された画像データはレーザドライバ53を経て半導体レーザ54に供給されることによってこの半導体レーザ54が駆動される。

【0053】図1は上述したデータ変換装置60の詳細を示す。

【0054】端子61に入力した (r , g , b) の入力値（入力データ）は下位2ビットと上位 ($n-2$) ビットに分けられ、下位2ビットはセクタ63に、上位 ($n-2$) ビットは8個のROM1～ROM8に供給される。各ROM1～ROM8への所定の入力段にはインクリメンタ62a～62lが設けられ、それらより出力された入力値 (r , g , b) によってROM1～ROM

8のアドレスが指定される。

【0055】図13にインクリメント62a~62lの動作を示す。

【0056】ROM1~ROM8には、これらに格納された(y, m, c)のうちの変換出力値を出力するかを選択するための選択信号SCが端子69を介して供給される。

【0057】ROM1、ROM2より読み出された変換出力値は加算器65に供給され、ROM3とROM4の各変換出力値は加算器66に供給され、以下同様にROM5とROM6の各変換出力値は加算器67に、そしてROM7とROM8の各変換出力値が加算器68に供給される。

【0058】これら加算器65~68は何れも入力選択機能を有し、セクタ63より出力された加算制御信号R1~R8に基づいてその加算動作モードが制御される。これら加算器65~68の加算動作を図9に示す。

【0059】図9のように、加算制御信号R1~R8が供給されるモード端子SA、SBが何れも「L」のときにはQ出力(加算出力)はゼロであり、何れかが「H」であるときには、「H」の方の入力が2倍されて出力される。そして、両者とも「H」であるときには単純加算されたもの(=A+B)が加算出力となる。

【0060】加算器の出力のうち、加算器65と66の加算出力は後段の加算器71に供給され、また加算器67と68との加算出力は後段の加算器72に供給される。一方の加算器71には動作モード制御用の制御信号R12が供給される。ここに、R12は制御信号R1とR2のオア出力のことであり、制御信号R34は制御信号R3とR4のオア出力であり、加算動作モードは図9によって規制される。

【0061】これら2つの加算器71、72の出力がさらに加算器73に供給されて、最終加算出力が得られる。この最終加算出力はビットシフト回路74によって3ビットシフトされることによって、最終加算出力が1/8された出力値が得られる。ビットシフト回路74を使用する代わりにワイアードロジック(下位3ビットの切捨て)を使用して1/8された出力値を得るようにしてもよい。

【0062】加算器73に供給される制御信号R1234は制御信号R1、R2、R3およびR4のオア出力であり、同様に制御信号R5678はR5、R6、R7およびR8のオア出力であり、加算動作モードは上述と同じく図9の通りである。

【0063】入力値(r, g, b)の下位2ビットの組み合わせと、これによって得られるセクタ63からの制御信号R1~R8およびインクリメント62a~62lへの制御信号I1~I12との関係を整理すると図2のようになる。この図はその一部の関係のみ示してある。2~3を具体的に例示する。

(1) 補間モード1のとき

このときは図2におけるモード1に当たる。入力値(r, g, b)の下位2ビット(r0, r1)、(g0, g1)、(b0, b1)は何れも「L」である。このとき、制御信号R1のみ「H」となるから、図7の真理値表からも明らかなように加算器65と71のみ加算処理が行なわれるから、加算器65からの加算出力(2A)がさらに加算器71に供給されてこれがさらに2倍され、その加算出力がさらに最終段の加算器73においてさらに2倍される。したがって、最終加算出力は入力値の8倍となって得られる。これがビットシフト回路74で1/8になされる。つまり、このときはROM1の変換出力値がそのまま出力値(色補正值)として出力されることになる。

(2) 補間モード2のとき

このときは図2におけるモード2に当たる。rの入力値のみその下位2ビット(r0, r1)が「H」, 「L」に変化する。このとき、制御信号R1, R2のみ「H」となるから、図7の真理値表からも明らかなように加算器65が加算処理を行なわれ、ROM1とROM2の変換出力値の加算処理(=A+B)が得られる。そして、次の加算器71でその入力である(A+B)が2倍され、これがさらに最終段の加算器73においてさらに2倍される。したがって、最終加算出力は入力値の4倍となって得られる。これがビットシフト回路74で1/8になされる。つまり、このときはROM1とROM2の変換出力値の和を1/2した値が色補正值として出力されることになる。

(3) 補間モード4のとき

このときは図2におけるモード4に当たる。このときは、rの入力値のみその下位2ビット(r0, r1)が「H」になる。このとき、セクタ63からのインクリメント制御信号は制御信号I1のみ「H」となるから、制御信号I1が供給されているインクリメント62aのみがインクリメントされ、ROM1のみその入力値がR1(y+1, m, c)となる。その結果、ROM1ではrの変換出力値としては、点aではなく点b(図3参照)の変換出力値が利用される。

【0064】一方、図7の真理値表からも明らかなように加算器65が加算モードとなり、ROM1とROM2の変換出力値の加算処理(=A+B)が得られる。そして、次の加算器71でその入力である(A+B)が2倍され、これがさらに最終段の加算器73においてさらに2倍される。したがって、最終加算出力は入力値の4倍となって得られる。これがビットシフト回路74で1/8になされる。つまり、このときはROM1とROM2の変換出力値の和を1/2した値が色補正值として出力されることになる。この他の場合も同様な処理であるのでその説明は省略する。

【0065】ところで、図1の例は、入力値の対応する

3次元空間上の点が立方体のどこにあるかによって変換出力値の使用個数を選択したが、常に2個の変換出力値を用いて補間することもできる。その例が、図10であり、図12である。

【0066】そのときは、入力値の対応する3次元空間上の点を挟む2点の変換出力値で補間する。つまり、入力値に対応する3次元空間上の点が立方体の辺上にあるときでも、立方体の面上にあるときでも、あるいは立方体の内部にあるときでも、その点を挟んだ2点を使用し*

$$f(r+1, g, b) = \{f(r, g, b) + f(r+2, g, b)\} / 2$$

入力値に対応する3次元空間上の点が立方体Vの面上にあるときは、その点(□印)を含む立方体面の頂点4個のうち入力値を挟んで対向する2点の変換出力値をROMから読み出して補間する。例えば、R軸とG軸とで形成される面上の点(ハ)は、同じ面上に存在する4個の※

$$f(r+1, g+1, b) = \{f(r, g, b) + f(r+2, g+2, b)\} / 2$$

頂点a, dの代わりに、頂点b, cを使用してもよい。

【0067】G軸とB軸とで囲まれる面上に存在する点、あるいはR軸とB軸とで囲まれる面上に存在する点20も同様にそれらの面上に存在する4個の頂点のうち、原点側の頂点と対角線上の頂点の変換出力値によって平均値補間される。

$$f(r+1, g+1, b+1) = \{f(r, g, b) + f(r+2, g+2, b+2)\} / 2$$

もちろん、この場合においても他の2頂点(bとg、dとe若しくはcとf)を用いて補間できる。

【0069】以上のような補間動作を達成するためにはデータ変換装置60を図10のように構成すればよい。

【0070】R, G, Bの各入力信号のうち上位(n-1)ビットはインクリメンタ81、82、83を介してROM85に変換出力値読み出し用のアドレスとして供給される。ここに、ROM85としては1個使用され、ここには入力値(r, g, b)が構成する3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体の全ての組み合わせについてその変換出力値が格納されている。インクリメンタ81、82、83の動作は図13に従う。

【0071】また、90はD形フリップフロップであって、図11に示すようにそのD端子には所定のクロックCKが供給され、クロック端子にはその2倍の周波数を持つクロック2CKが供給される。そのQ出力と入力信号(R, G, B)の各下位1ビット(LSB)がそれぞれアンド回路86、87、88に供給され、そのアンド出力がインクリメンタ81、82、83の制御信号として供給される。

【0072】ここで、クロックCKと2CKとのタイミング関係が図11のようであるときには、図のようなQ出力が得られるから、Q出力の前半WAではインクリメンタ81、82、83の動作は禁止され入力信号がその

*で補間する。したがって、図3に示すように、1組の入力値に対応する3次元空間上の点が立方体Vの辺上にあるときは、その点(●印)を含む立方体辺の両端の頂点に対応する2個の変換出力値をROMから読み出す。例えば、R軸上の点(イ)を補間するにはR軸上に存在する頂点aとbの変換出力値(既知データ)の平均を取って補間する。つまり、補間された出力値f(r+1, g, b)は、

※頂点a, b, c, dのうち、点(ハ)に対して原点側の点の頂点aと反対側の頂点dの各変換出力値によって補間される。つまり、補間された出力値f(r+1, g+1, b)は、

★【0068】最後に、入力値に対応する3次元空間上の点が立方体Vの内部にあるときは、原点側の頂点aとその点(★印)を挟んだ対角線上の頂点hとの2点の変換出力値をROMから読み出しこれを平均値補間する。したがって、補間された変換出力値f(r+1, g+1, b+1)は、

まま出力される。そのため、例えば図3の点(イ)の入力値(r+1, g, b)が入力したときには、(r, g, b)に対応した変換出力値(つまり、原点側の頂点aの変換出力値)がROM85より読み出され、このときの出力(Aとする)がフリップフロップ91によってラッチされる。

【0073】上述した入力値(r+1, g, b)の場合には、rのみそのLSBが「H」となっているので、次の後半WBの期間では、アンド回路86よりの制御信号によってインクリメンタ81だけがその動作が解禁となり、入力値が「1」インクリメントされる。その結果、後半WBの期間にROM85に与えられるアドレスは頂点bに対応したアドレスとなっている。そのため、後半WBでは頂点bの変換出力値(Bとする)が読み出され、これがフリップフロップ91によってラッチされる。出力値Aは後段のフリップフロップ92によって再ラッチされ、ラッチされた両出力値A, Bが後段の加算器93で加算され、これがワイアードロジックにより1/2されて出力される。これはさらにフリップフロップ94でラッチされる。

【0074】入力値(r, g, b)が立方体Vの辺上にある場合に限らず、その面上や内部にある場合でも、同じ様な2点補間処理が行なわれる。例えば、図3の点(ハ)を補間する場合には、rとgのみ奇数値となっているから、後半WBの期間にはアンド回路86と87か

らの制御信号によってインクリメンタ81、82が動作して、結局頂点dの変換出力値が読み出されるようになり、これによって頂点aとdから点(h)が補間される。

【0075】このように常に入力値(r, g, b)によって決まる原点側の頂点aに対応した変換出力値と、入力値(r, g, b)を挟んで位置する頂点に対応した変換出力値の2個の変換出力値を用いることによって出力値を補間することができる。

【0076】図10の場合には、前半と後半に分けてROM85から変換出力値を読み出したが、図12のように2個のROM85A、85Bを用意し、ROM85Aは原点側の頂点aの変換出力値のみを常に読み出し、残りのROM85Bから対角頂点に対応した変換出力値を読み出すように、完全に分離して処理することも可能である。この場合には、インクリメンタ81、82、83は常に動作状態でなければならないから、図10に示したようなアンド回路は不要である。

【0077】

【発明の効果】以上説明したように、第1の発明では、1組の入力値が構成する3次元空間を入力値の量子化単位の2倍の寸法を1辺の長さとする立方体に分割し、その立方体の頂点に対応する変換出力値を複数組の入力値に対して格納し、1組の入力値に対応する3次元空間上の点が上記立方体の内部にあるか、面上にあるか、または辺上にあるかによって、使用する変換出力値の組み合わせを代え、読み出した8ないし4、2、1個の変換出力値の単純平均値を出力値として使用するようにしたものである。

【0078】第2の発明においては、単純平均値処理をさらに簡略化して、1組の入力値に対応する3次元空間上の点が上記立方体の内部にあるか、面上にあるか、または辺上にあるかに拘らず、常に2個の変換出力値によって平均値補間するようにしたものである。

【0079】これによれば、単純な平均値補間処理で全ての出力値を補間して出力できるから、補間演算手段を従来よりも大幅に簡略化できる特徴を有する。

【0080】また、入力値のすべての組み合わせに対する*

【図9】

加算器の加算動作モードの例

SA	SB	Q
L	L	Q
H	L	2A
L	H	2B
H	H	A+B

* 出力値をROMに格納し、補間処理を行わない場合に比べると、ROM容量を1/8に削減でき、大幅なコストダウンが可能である。

【0081】さらに、複数のROMを用意し、それらに分散格納された変換出力値を同時に読み出して出力値を算出する場合には、出力値算出のための処理時間を大幅に短縮できる特徴を有する。したがって、この発明は上述したようなカラー画像出力装置やカラー画像処理装置などに適用して極めて好適である。

10 【図面の簡単な説明】

【図1】この発明の要部であるデータ変換装置の一例を示すブロック図である。

【図2】入力値と各種制御信号との関係を真理値で示した図である。

【図3】3次元の入力値関係を示す立方体図である。

【図4】入力値と補間点数との関係を示す図である。

【図5】複数のROMを使用するときの説明図である。

【図6】複数のROMに格納された変換出力値と立方体との関係を示す図である。

20 【図7】カラー複写機の説明図である。

【図8】カラー画像処理系の系統図である。

【図9】加算器の制御動作モードの態様を示す図である。

【図10】データ変換装置の他の例を示す要部の系統図である。

【図11】その動作説明の波形図である。

【図12】データ変換装置の他の例を示す要部の系統図である。

【図13】インクリメンタの動作説明図である。

30 【符号の説明】

60 データ変換装置

62a~62l インクリメンタ

63 セレクタ

65~73 加算器

74 ビットシフト回路

81~83 インクリメンタ

85 変換出力値用のROM

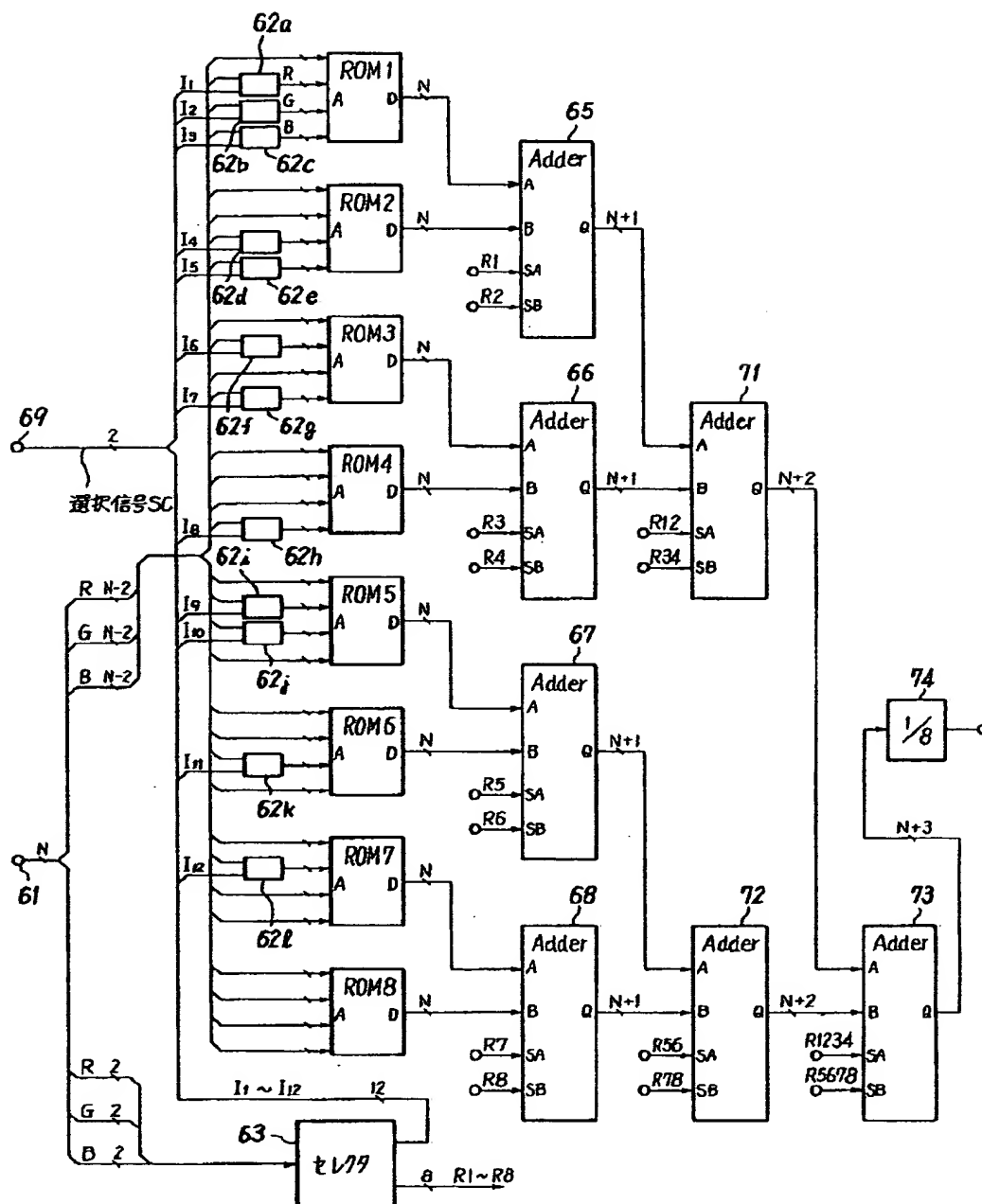
85A、85B 変換出力値用のROM

【図13】

インクリメンタ

D	INC	Q
—	L	D
—	H	D+1

データ変換装置 60



【図2】

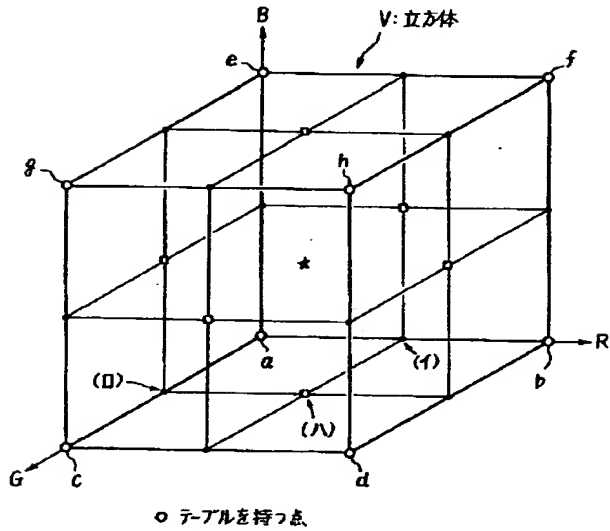
入力データと制御信号との関係

モード	入力データ(下位2ビット)						加算器用制御信号								インクメンタ用制御信号												
	R		G		B		R0	R1	R2	R3	R4	R5	R6	R7	R8	I1	I2	I3	I4	I5	I6	I7	I8	I9	I10	I11	I12
	R0	R1	G0	G1	B0	B1																					
1							H																				
2	H						H	H																			
3		H						H																			
4	H						H	H								H											
5			H				H		H																		
6	H		H				H	H	H	H	H																
7		H	H					H	H		H					H					H						
8	H		H				H	H	H	H	H																
9				H																							
10	H			H																							

[空欄は「L」]

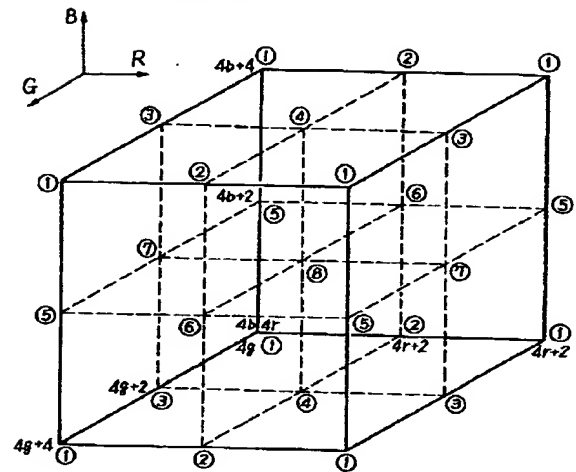
【図3】

立方体(変換出力値)と補間との関係



【図6】

立体補間の例



【図4】

補間の例

モード	I (○)	II (●)			III (□)			IV (★)
	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)
補間点数	1	2			4			8
r	E	0	E	E	0	0	E	0
g	E	E	0	E	0	E	0	0
b	E	E	E	0	E	0	0	0

E: 偶数, 0: 奇数

【図 5】

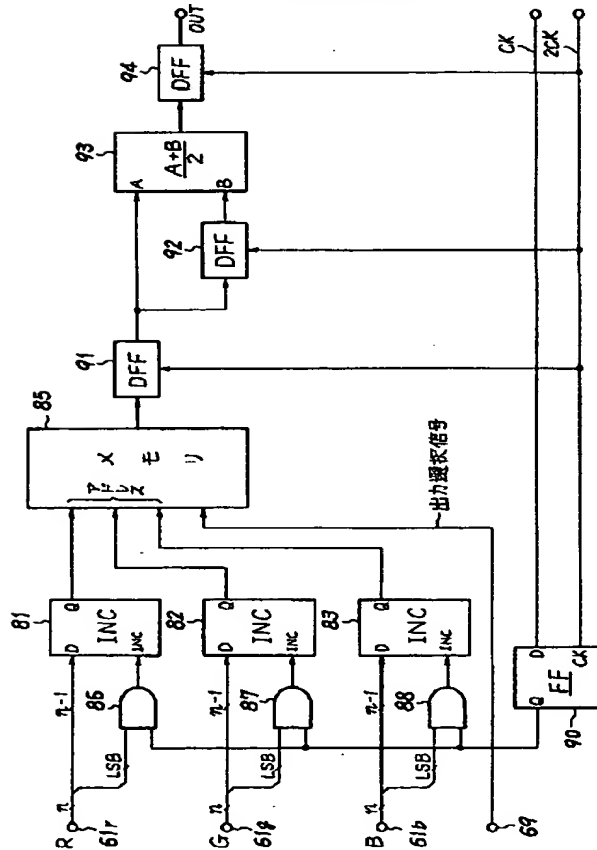
ROM の分割例

ROM NO.	1	2	3	4	5	6	7	8
$r \% 4$	0	2	0	2	0	2	0	2
$g \% 4$	0	0	2	2	0	0	2	2
$b \% 4$	0	0	0	0	2	2	2	2

$x \% y$ は x を y で 割ったときの余りを示す

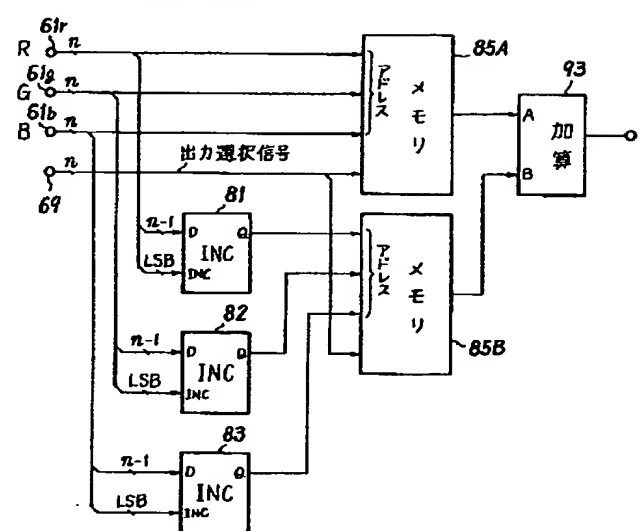
【図 10】

データ変換装置 60



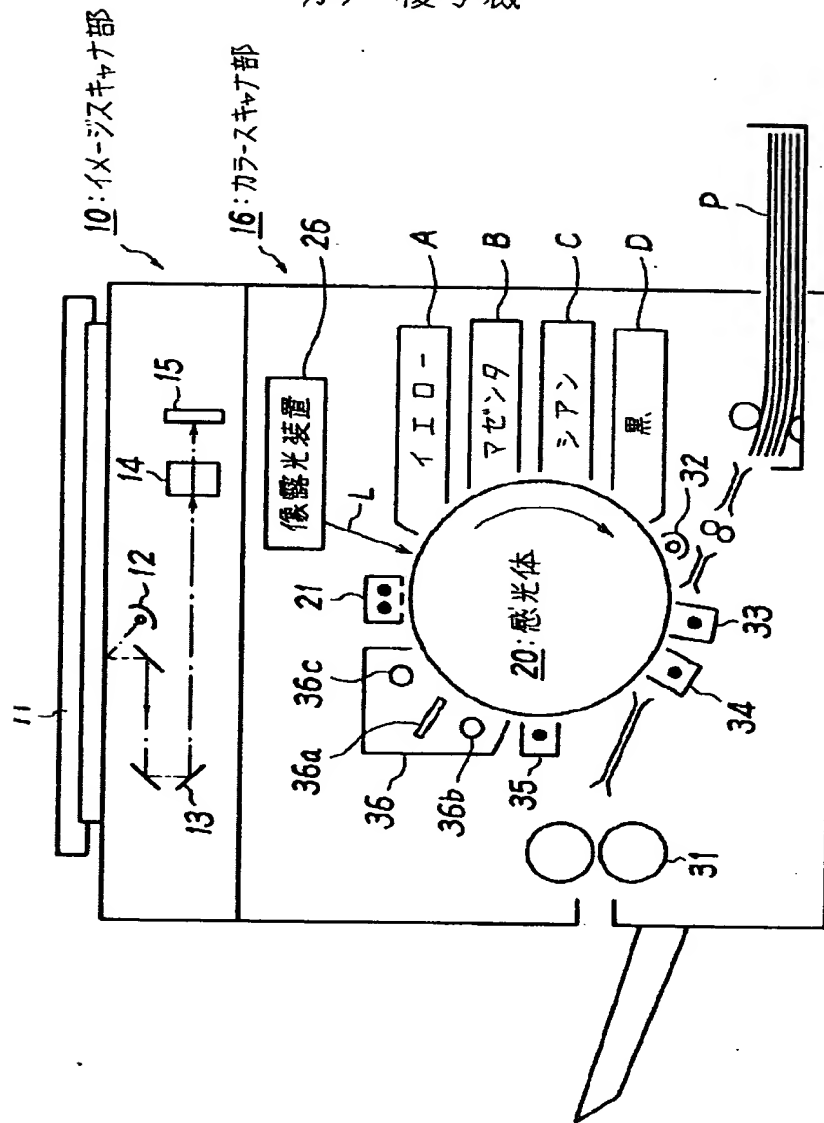
【図 12】

補間処理例



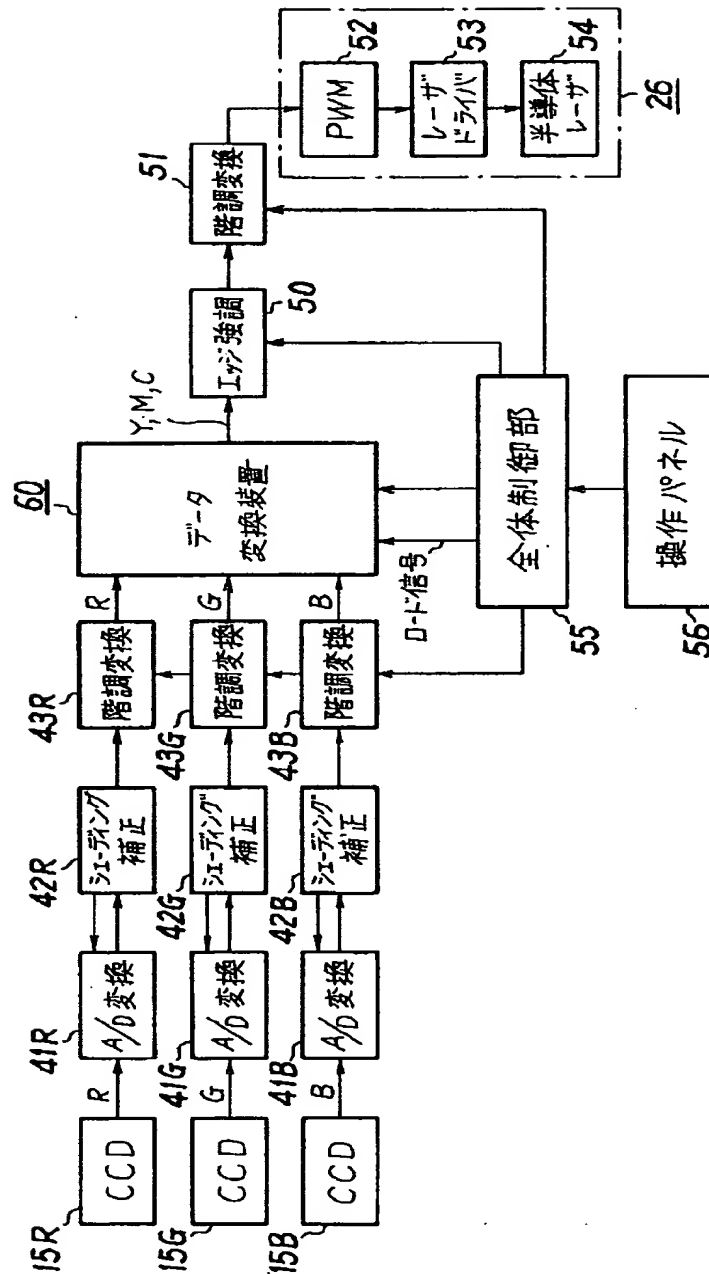
【図7】

カラー複写機



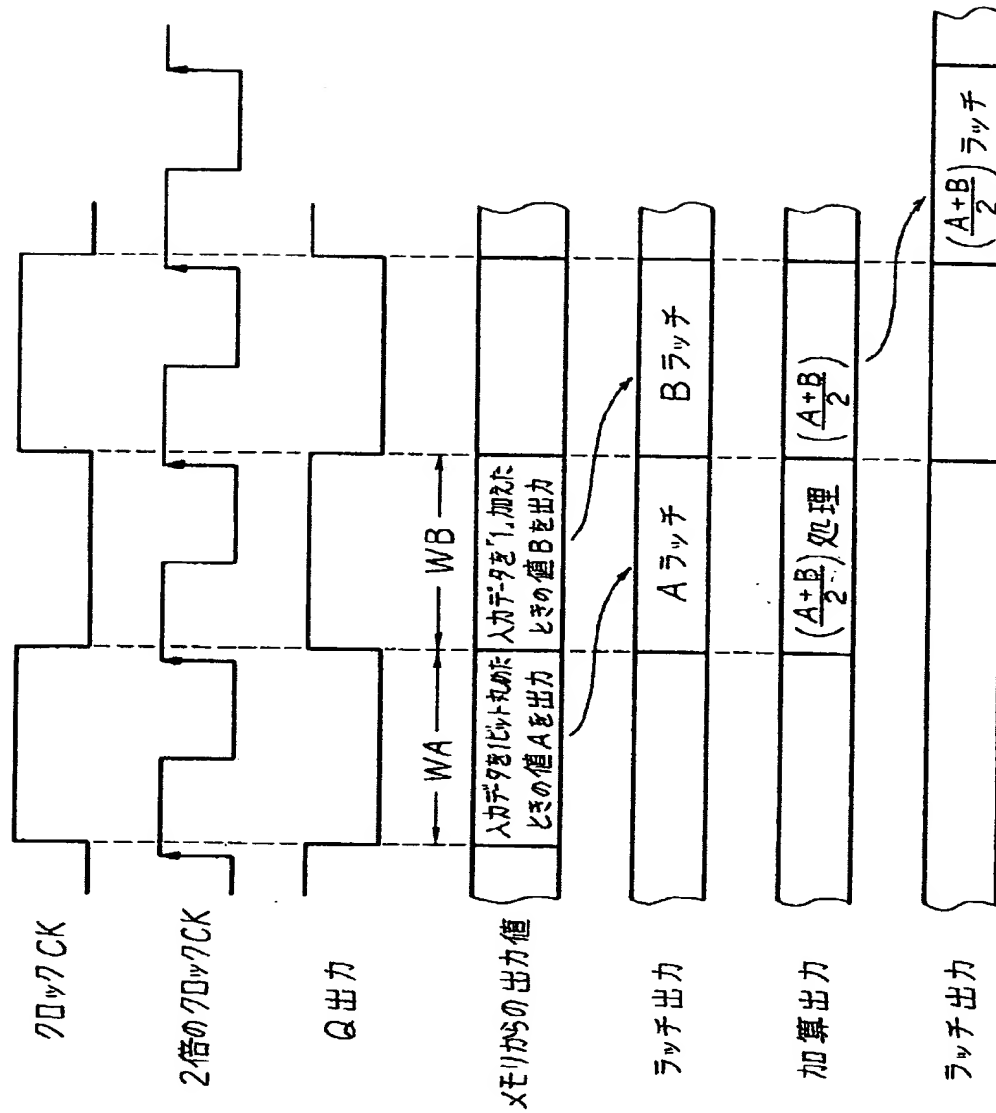
【図8】

カラー画像処理系：40



【図11】

図10の補間処理例



フロントページの続き

(51) Int. Cl.⁵

H04N 1/46

識別記号

庁内整理番号

F I

技術表示箇所

9068-5C